

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-021328
(43)Date of publication of application : 28.01.1994

(51)Int. Cl. H01L 25/065
H01L 25/07
H01L 25/18
H01L 21/60
H01L 21/60

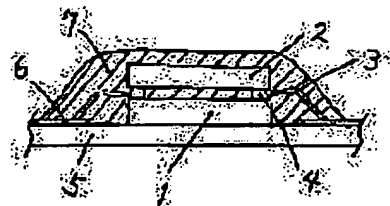
(21)Application number : 04-176397 (71)Applicant : SEIKO EPSON CORP
(22)Date of filing : 03.07.1992 (72)Inventor : FUJIMORI RYOICHI

(54) METHOD FOR PACKAGING SEMICONDUCTOR ELEMENTS

(57)Abstract:

PURPOSE: To make it possible to highly densely and reliably package two semiconductor chips by electrically connecting the semiconductor chips to the same bonding wires with the circuit constituting surface of one semiconductor chip opposite to that of the other.

CONSTITUTION: In wire bonding, balls 4 formed on the pad 4 of a semiconductor chip 1 are used to connect the semiconductor chip 1 to another semiconductor chip 2 by face down bonding. By this, on the active surface of the semiconductor chip 1 the semiconductor chip 2 is mounted, whereby the degree of the circuit integration is increased, whereby wires for connecting the electrodes of the semiconductor chips to a common circuit pattern 6 can be reduced in number compared with the conventional ones, and whereby the reliability of packaging the semiconductor chips can be enhanced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Best Available Copy

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-21328

(43)公開日 平成 6 年(1994) 1 月28日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 25/065				
25/07				
25/18				
21/60	3 0 1 D	0018-4M		
			H 0 1 L 25/ 08	B
			審査請求 未請求	請求項の数1(全 3 頁) 最終頁に続く

(21)出願番号 特願平4-176397

(22)出願日 平成 4 年(1992) 7 月 3 日

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿 2 丁目 4 番 1 号

(72)発明者 藤森 良一

長野県諏訪市大和 3 丁目 3 番 5 号 セイコ

ーエプソン株式会社内

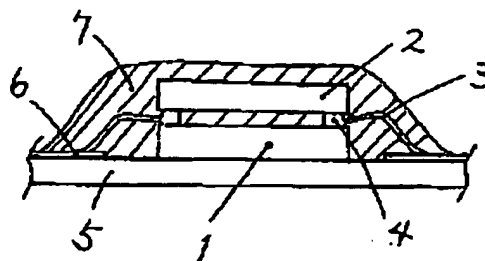
(74)代理人 弁理士 鈴木 喜三郎 (外 1 名)

(54)【発明の名称】 半導体素子の実装方法

(57)【要約】 (修正有)

【構成】半導体素子 1、2 の回路構成面 (以下、「能動面」と呼ぶ。) 上を利用して、二つの半導体素子の能動面を向かい合うように、一方の半導体素子のワイヤーボンディング部 4 を利用して接合する。

【効果】従来の実装方法に比べ半導体素子を高密度で実装することが出来、かつ半導体素子と外部回路とを接続する配線の本数を従来に比べ低減させることが出来、信頼性を向上させる。



1

【特許請求の範囲】

【請求項1】 半導体素子の実装方法において、ワイヤーボンディングによる電氣的接続を行った後、半導体素子の回路構成面が向かい合う状態で別の半導体素子を、同一ボンディングワイヤーに電氣的に接続することを特徴とする半導体素子の実装方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体素子の実装方法に関し、更に詳しくは、半導体素子の高密度実装に関するものである。

【0002】

【従来の技術】 従来の半導体素子の実装方法は、半導体素子一つ一つを一つの部品と考えていたため、リードフレームに搭載しワイヤーボンディングによって半導体素子とリードフレームの端子と電氣的に接続し、収納容器に封止することにより、一つの部品として回路基板上に搭載している。あるいは、回路基板上に直接半導体素子を搭載しワイヤーボンディングまたはフェースダウンボンディングにより回路と電氣的に接続している。しかし、近年パーソナルコンピューター等に代表される回路基板の経路短小の要求が非常に高くなっており、部品一つ一つの占有するスペースについても考慮する必要が出てきているのが現状であるが、半導体素子の場合、素子そのものが既に高集積化されているため外部回路との電氣的接続が大きな問題となっているため、回路が構成されている面を利用しての高密度実装は余り考慮されていなかった。

【0003】

【発明が解決しようとする課題】 本発明の目的は、半導体素子上の回路が構成されている面を有効に利用して、従来以上の高密度実装を実現することにある。

【0004】

【課題を解決するための手段】 上記目的は、半導体素子上の回路が構成されている面（以下、「能動面」と呼ぶ。）を利用して、二つの半導体素子の能動面を向かい合うように接合することにより達成される。

【0005】

【実施例】 以下、本発明の一実施例を図1から図4により説明する。

【0006】 図1は、回路基板上に半導体素子を直接実装する実装方法（以下、「COB」と呼ぶ）に本発明を実施した例の断面図である。また、図2は従来のCOBの断面図である。

【0007】 従来のCOBは図2のように、半導体素子1が回路基板5に直接搭載され、金、銅等から成るボンディングワイヤー3によって半導体素子上の外部回路との電氣的接続用の電極（以下、「パッド」と呼ぶ。）と回路基板5の回路パターン6に電氣的に接続され、エポキシ等からなる封止樹脂7によって封止される。

2

【0008】 本発明では図1のごとく、ワイヤーボンディングにおいて半導体素子1のパッド上に形成されるボール4を、半導体素子をワイヤーボンディングによらずパッドを回路基板上の回路パターンに対向させて接続するフェースダウンボンディングやTAB方式で接続する際に外部と接続しやすいように半導体素子のパッドを突起状にするバンプの代わりに使用して、他の半導体素子2をフェースダウンボンディングにより半導体素子1と接続する。

【0009】 本発明によれば、半導体素子の能動面上に別の半導体素子が搭載され回路の集積度が増加すると共に、半導体素子の電極を共通の回路パターンと接続する場合配線の本数を従来に比べ低減させることが出来る。

【0010】 図3は、本発明の他の実施例の断面図を示すものである。

【0011】 図3は図1と同様であるが、ワイヤーボンディングの方法が図1のボールボンディングに対して、ウェッジボンディングを用いた方法である。この場合、使用する半導体素子にバンプ8を予め構成しておく必要があるが、ウェッジボンディングはボールボンディングに比べ、ボンディング時のボンディングワイヤーの高さが低く抑えられるため、半導体素子1に半導体素子2を搭載する際、ボンディングワイヤーが半導体素子2に接触する可能性が更に少なくなるという利点を有する。

【0012】 図4は、通常のリードフレームを使用したクワッドフラットパッケージ（以下、「QFP」と呼ぶ）に本発明を実施した例の断面図である。

【0013】 従来のQFPの場合、一つの収納容器には一つの半導体素子が収納されるだけであったが、本発明により収納容器の構造を変更することなく、一つの収納容器内に複数の半導体素子を収納することが可能となる。

【0014】

【発明の効果】 本発明によれば、従来の実装方法に比べ半導体素子を高密度で実装することが出来、かつ半導体素子と外部回路とを接続する配線の本数を従来に比べ低減させることが出来、信頼性を向上させる効果がある

【図面の簡単な説明】

【図1】 本発明をボールボンディングでのCOBに用いた実施例の断面図。

【図2】 従来のCOBの断面図。

【図3】 本発明をウェッジボンディングでのCOBの用いた実施例の断面図。

【図4】 本発明をQFPに用いた実施例の断面図。

【符号の説明】

- 1 半導体素子
- 2 半導体素子
- 3 ボンディングワイヤー
- 4 ワイヤーボンディングにおけるボール部
- 5 回路基板

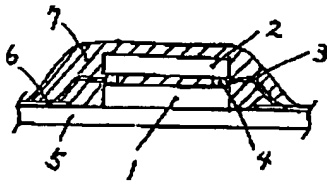
(3)

特開平6-21328

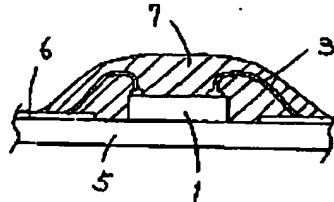
6 回路基板上的回路パターン
7 封止樹脂

* 8 半導体素子の電極上に構成されたパンプ
*

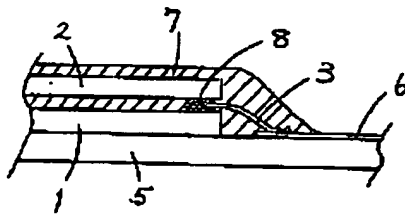
【図1】



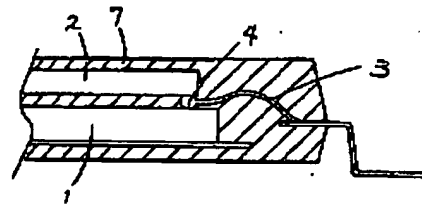
【図2】



【図3】



【図4】



フロントページの続き

(51)Int.Cl.³
H01L 21/60

識別記号 庁内整理番号
311 Q 6918-4M

F I

技術表示箇所

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.